

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069630

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

H01L 29/78
H01L 29/06
H01L 29/66
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 29/80

(21)Application number : 08-158695

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 19.06.1996

(72)Inventor : KADO HIROYUKI
TODA TAKAO
TANAHASHI ICHIRO
MANABE YOSHIO

(30)Priority

Priority number : 07157521
07157522Priority date : 23.06.1995
23.06.1995

Priority country : JP

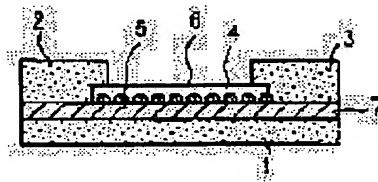
JP

(54) SINGLE ELECTRON TUNNEL ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a single electron tunnel element whose structure and characteristic are controlled and its manufacturing method.

SOLUTION: The element has a multiple tunnel joint 6 wherein fine particles 6 made of metal or semiconductor are close to each other at 5nm in distance between particles and are dispersed in an electrical insulating film 4. The joint 6 is produced by accumulating an electrical insulating substance and a metal or semiconductor fine particle alternately or simultaneously through a sputtering method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69630

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 J
29/06			29/06	
29/66			29/66	
21/8247			29/78	3 7 1
29/788		7376-4M	29/80	A
審査請求 未請求 請求項の数27 O L (全 13 頁) 最終頁に続く				

(21) 出願番号 特願平8-158695

(22) 出願日 平成8年(1996)6月19日

(31) 優先権主張番号 特願平7-157521

(32) 優先日 平7(1995)6月23日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-157522

(32) 優先日 平7(1995)6月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 加道 博行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 任田 隆夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 棚橋 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 山本 秀策

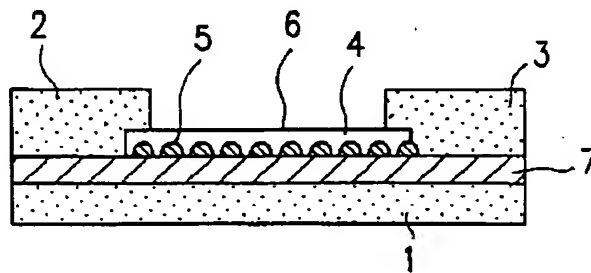
最終頁に続く

(54) 【発明の名称】 単一電子トンネル素子およびその製造方法

(57) 【要約】

【課題】 構造および特性を制御した単一電子トンネル素子およびその製造方法を提供する。

【解決手段】 微粒子間距離が5 nm以下で近接した金属あるいは半導体からなる微粒子5を、電気絶縁性薄膜4中に分散することで形成される多重トンネル接合6を有する単一電子トンネル素子。この多重トンネル接合6はスパッタリング法などで、電気絶縁性物質と金属あるいは半導体微粒子とを交互に、あるいは同時に堆積させることにより製造される。



【特許請求の範囲】

【請求項1】 多重トンネル接合を含む多重トンネル接合層と、

該多重トンネル接合層に電圧を印加するための第1及び第2の電極と、を備え、

該多重トンネル接合層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む単一電子トンネル素子。

【請求項2】 前記多重トンネル接合層に接する電気絶縁性層と、

該電気絶縁層を介して、該多重トンネル層に電界を与えるための第3の電極と、備えた請求項1に記載の単一電子トンネル素子。

【請求項3】 前記微粒子の直径が50nm以下である請求項1に記載の単一電子トンネル素子。

【請求項4】 前記微粒子間の平均間隔が5nm以下である請求項1に記載の単一電子トンネル素子。

【請求項5】 前記多重トンネル層には、前記微粒子が層状に分散されている請求項1に記載の単一電子トンネル素子。

【請求項6】 前記電気絶縁性薄膜が酸化物から形成され、

前記微粒子が金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、またはパラジウム(Pd)からなる群から選択された少なくとも1種の金属から形成されている請求項1に記載の単一電子トンネル素子。

【請求項7】 前記電気絶縁性薄膜が珪素(Si)、アルミニウム(Al)、チタン(Ti)、ハフニウム(Hf)の酸化物、珪素(Si)、またはアルミニウム(Al)の窒化物からなる群から選択された少なくとも1種を主成分とする請求項1に記載の単一電子トンネル素子。

【請求項8】 抵抗体層と、
該抵抗体層に電圧を印加するための第1及び第2の電極と、

該第1及び第2の電極によって形成される電界を調整するための第3の電極とを有する単一電子トンネル素子であって、

該抵抗体層は、島状に電位ポテンシャルの低い領域が形成された電気絶縁性物質から形成されている単一電子トンネル素子。

【請求項9】 前記第1の電極は、前記抵抗体層の第1の主面上に形成され、前記第2の電極とは、前記抵抗体層の該第1の主面とは異なる第2の主面上に形成されている請求項8に記載の単一電子トンネル素子。

【請求項10】 前記第1及び第2の電極は、前記抵抗体層の同一面上に形成されている請求項8に記載の単一電子トンネル素子。

【請求項11】 前記第1の電極と前記第2の電極との間の最も近接した部分の間隔が1μm以下であり、

該第1の電極及び該第2の電極の少なくとも一方の幅が100nm以下である請求項8に記載の単一電子トンネル素子。

【請求項12】 前記第1の電極及び前記第2の電極の少なくとも一方が先鋭部を有し、該先鋭部は隣接する他の電極に対向する請求項8に記載の単一電子トンネル素子。

【請求項13】 前記第1の電極の先端部分は前記第2の電極の先端部分にオーバーラップし、該先端部分のオーバーラップしている部分の面積が1平方μm以下である請求項9に記載の単一電子トンネル素子。

【請求項14】 前記抵抗体層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む請求項8に記載の単一電子トンネル素子。

【請求項15】 前記抵抗体層中には、金属微粒子及び／又は半導体微粒子が3次的に分散されている請求項8に記載の単一電子トンネル素子。

【請求項16】 前記微粒子の直径が50nm以下である請求項14に記載の単一電子トンネル素子。

【請求項17】 前記微粒子間の平均間隔が5nm以下である請求項14に記載の単一電子トンネル素子。

【請求項18】 前記微粒子が電気絶縁性物質中に層状に分散されている請求項14に記載の単一電子トンネル素子。

【請求項19】 前記電気絶縁性物質が酸化物または窒化物から形成されている請求項14に記載の単一電子トンネル素子。

【請求項20】 前記電気絶縁性薄膜が酸化物から形成され、
前記微粒子が金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、またはパラジウム(Pd)からなる群から選択された少なくとも1種の金属から形成されている請求項14に記載の単一電子トンネル素子。

【請求項21】 前記電気絶縁性薄膜が珪素(Si)、アルミニウム(Al)、チタン(Ti)、ハフニウム(Hf)の酸化物、珪素(Si)、またはアルミニウム(Al)の窒化物からなる群から選択された少なくとも1種を主成分とする請求項14に記載の単一電子トンネル素子。

【請求項22】 多重トンネル接合を含む多重トンネル接合層と、該多重トンネル接合層に電圧を印加するための第1及び第2の電極とを備え、該多重トンネル接合層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む単一電子トンネル素子の製造方法であって、
該多重トンネル接合層を形成する工程を包含し、該工程は、電気絶縁性物質を堆積するサブ工程と、金属及び／又は半導体微粒子を形成するサブ工程とを交互に繰り返す、単一電子トンネル素子の製造方法。

【請求項23】 前記多重トンネル接合層を形成する工程は、交互スパッタリング法によって該多重トンネル接合層を形成する請求項22に記載の単一電子トンネル素子の製造方法。

【請求項24】 前記多重トンネル接合層を熱処理し、それによって前記微粒子の大きさまたは密度を変化させる工程を包含する請求項22に記載の単一電子トンネル素子の製造方法。

【請求項25】 多重トンネル接合を含む多重トンネル接合層と、該多重トンネル接合層に電圧を印加するための第1及び第2の電極とを備え、該多重トンネル接合層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む単一電子トンネル素子の製造方法であって、該多重トンネル接合層を形成する工程を包含し、該工程は、電気絶縁性物質の堆積と、金属及び／又は半導体微粒子の堆積とを同時に行う、単一電子トンネル素子の製造方法。

【請求項26】 前記多重トンネル接合層を形成する工程は、同時スパッタリング法によって該多重トンネル接合層を形成する請求項25に記載の単一電子トンネル素子の製造方法。

【請求項27】 前記多重トンネル接合層を熱処理し、それによって前記微粒子の大きさまたは密度を変化させる工程を包含する請求項25に記載の単一電子トンネル素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多重トンネル接合を利用し、電子1個単位で動作が可能な単一電子トンネル素子とその製造方法に関するものである。

【0002】

【従来の技術】情報化社会を支えるLSIは、トランジスタ等の半導体素子の微細化により高集積化を行ってきた。素子を微細化することにより、キャリアの走行距離や容量が縮小され、高速化等、LSIの高性能化が可能となる。現在量産が進んでいる16MDRAMでは、ゲート長が0.5 μ m、また、サンプル出荷が行われ始めた64MDRAMでは、ゲート長が0.35 μ m程度となっており、研究段階では0.1 μ m以下のゲート長でも動作確認が行われている。

【0003】しかし、このような素子の微細化をさらに進めた場合、ゲート電極と半導体基板間にトンネル漏れ電流が発生するなど物理的な問題や、さらには、1動作当りの電子数が減ってくるために、統計的な電子数のゆらぎが増大し、誤動作を起こし易くなるといった根本的な問題が発生する。このために、現在のLSIのように、電子の統計的な性質に動作の基礎をおくのではなく、個々の電子を制御することにより動作する単一電子トンネル素子が提案されている。この素子の特徴は、微

細化が進む程、動作が完全になり究極の特性を引き出せる点にあり、例えばこれをメモリに応用することにより、人間の脳より6桁速く、現在の半導体メモリより6桁も容量の大きなメモリが得られる。

【0004】

【発明が解決しようとする課題】単一電子トンネル素子は、クーロンブロック効果にその動作原理を置いている。この効果を引き出すには、トンネル接合が数個以上直列に接続された多重トンネル接合が有用となり、かつ、トンネル接合で挟まれた島の静電容量を小さくする必要がある。特に室温動作を考えると、島の静電容量を1aF以下にする必要があり、このような構造を作製するためには、ナノメータ(nm)オーダのサイズを持つ微細な構造を形成する技術が必要である。

【0005】現在、このような微細構造を形成する技術は実用化されておらず、自然構造を利用した素子がいづつか提案されている。例えば、"Appl. Phys. Lett.", Vol. 61, 1992, p3145"に記載されているような原子層ドーピングGaAs細線の横にサイドゲートを設けた多重トンネル接合や、"Proc. IEDM, 1993, p541"に記載されているような極薄ポリシリコンをチャンネルとして用いた単一電子メモリが作製されている。

【0006】しかし、前者はGaAs細線中に存在す荷電不純物のランダム配置を利用してトンネル接合を形成し、また後者はポリシリコン中のグレインを島として利用し、電子が流れ易い部分をチャンネルとしているため、どちらもその構造を制御性良く作製することが難しく、作製される素子にもその特性にばらつきが現れていた。

【0007】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、構造および特性を制御した単一電子トンネル素子およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の単一電子トンネル素子は、多重トンネル接合を含む多重トンネル接合層と、該多重トンネル接合層に電圧を印加するための第1及び第2の電極と、を備え、該多重トンネル接合層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含み、それによって上記目的が達成される。

【0009】ある実施形態では、前記多重トンネル接合層に接する電気絶縁性層と、該電気絶縁層を介して該多重トンネル層に電界を与えるための第3の電極とを備えている。

【0010】好ましくは、前記微粒子の直径が50nm以下である。

【0011】好ましくは、前記微粒子間の平均間隔が5nm以下である。

【0012】ある実施形態では、前記多重トンネル層に

は、前記微粒子が層状に分散されている。

【0013】好ましくは、前記電気絶縁性薄膜が酸化物から形成され、前記微粒子が金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、またはパラジウム(Pd)からなる群から選択された少なくとも1種の金属から形成されている。

【0014】好ましくは、前記電気絶縁性薄膜が珪素(Si)、アルミニウム(Al)、チタン(Ti)、ハフニウム(Hf)の酸化物、珪素(Si)、またはアルミニウム(Al)の窒化物からなる群から選択された少なくとも1種を主成分とする。

【0015】本発明の単一電子トンネル素子は、抵抗体層と、該抵抗体層に電圧を印加するための第1及び第2の電極と、該第1及び第2の電極によって形成される電界を調整するための第3の電極とを有する単一電子トンネル素子であって、該抵抗体層は、島状に電位ポテンシャルの低い領域が形成された電気絶縁性物質から形成され、それによって上記目的が達成される。

【0016】ある実施形態では、前記第1の電極は、前記抵抗体層の第1の主面上に形成され、前記第2の電極とは、前記抵抗体層の該第1の主面とは異なる第2の主面上に形成されている。

【0017】ある実施形態では、前記第1及び第2の電極は、前記抵抗体層の同一面上に形成されている。

【0018】好ましくは、前記第1の電極と前記第2の電極との間の最も近接した部分の間隔が1 μ m以下であり、該第1の電極及び該第2の電極の少なくとも一方の幅が100nm以下である。

【0019】ある実施形態では、前記第1の電極及び前記第2の電極の少なくとも一方が先鋭部を有し、該先鋭部は隣接する他の電極に対向する。

【0020】ある実施形態では、前記第1の電極の先端部分は前記第2の電極の先端部分にオーバーラップし、該先端部分のオーバーラップしている部分の面積が1平方 μ m以下である。

【0021】ある実施形態では、前記抵抗体層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む。

【0022】ある実施形態では、前記抵抗体層中には、金属微粒子及び／又は半導体微粒子が3次的に分散されている。

【0023】好ましくは、前記微粒子の直径が50nm以下である。

【0024】好ましくは、前記微粒子間の平均間隔が5nm以下である。

【0025】ある実施形態では、前記微粒子が電気絶縁性物質中に層状に分散されている。

【0026】ある実施形態では、前記電気絶縁性物質が酸化物または窒化物から形成されている。

【0027】好ましくは、前記電気絶縁性薄膜が酸化物

から形成され、前記微粒子が金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、またはパラジウム(Pd)からなる群から選択された少なくとも1種の金属から形成されている。

【0028】好ましくは、前記電気絶縁性薄膜が珪素(Si)、アルミニウム(Al)、チタン(Ti)、ハフニウム(Hf)の酸化物、珪素(Si)、またはアルミニウム(Al)の窒化物からなる群から選択された少なくとも1種を主成分とする。

【0029】本発明の単一電子トンネル素子の製造方法は、多重トンネル接合を含む多重トンネル接合層と、該多重トンネル接合層に電圧を印加するための第1及び第2の電極とを備え、該多重トンネル接合層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む単一電子トンネル素子の製造方法であって、該多重トンネル接合層を形成する工程を包含し、該工程は、電気絶縁性物質を堆積するサブ工程と、金属及び／又は半導体微粒子を形成するサブ工程とを交互に繰り返す、そのことにより上記目的が達成される。

【0030】ある実施形態では、前記多重トンネル接合層を形成する工程は、交互スパッタリング法によって該多重トンネル接合層を形成する。

【0031】ある実施形態では、前記多重トンネル接合層を熱処理し、それによって前記微粒子の大きさまたは密度を変化させる工程を包含する。

【0032】本発明の単一電子トンネル素子の製造方法は、多重トンネル接合を含む多重トンネル接合層と、該多重トンネル接合層に電圧を印加するための第1及び第2の電極とを備え、該多重トンネル接合層は、電気絶縁性薄膜と、該電気絶縁性薄膜内に分散された金属微粒子及び／又は半導体微粒子とを含む単一電子トンネル素子の製造方法であって、該多重トンネル接合層を形成する工程を包含し、該工程は、電気絶縁性物質の堆積と、金属及び／又は半導体微粒子の堆積とを同時に行い、そのことにより上記目的が達成される。

【0033】ある実施形態では、前記多重トンネル接合層を形成する工程は、同時スパッタリング法によって該多重トンネル接合層を形成する。

【0034】ある実施形態では、前記多重トンネル接合層を熱処理し、それによって前記微粒子の大きさまたは密度を変化させる工程を包含する。

【0035】本発明の構成によれば、電気絶縁性薄膜中に金属あるいは半導体の微粒子が高密度に分散されているため、金属微粒子間に電圧を印加したとき電子は金属あるいは半導体の微粒子間をトンネルし、いわゆるトンネル電流が流れる。したがって、電気絶縁性薄膜中に金属あるいは半導体の微粒子が分散された構成の薄膜に電極を設け、この電極間に電圧を印加することで、多数の直列につながったトンネル接合部を通して電極間を電子

10

20

30

40

50

が流れる多重トンネル接合が形成され、クーロンブロック効果を利用した単一電子トンネル素子を実現できる。さらに、金属あるいは半導体の微粒子は、電気絶縁性薄膜中に比較的均一に分散させることが可能であるため、構造を制御した多重トンネル接合が容易に得られる。

【0036】本発明の構成によれば、抵抗体薄膜層の上面あるいは下面のいずれかに対向する一対の薄膜電極が設けられているため、抵抗体薄膜層に形成されるチャンネル部分は、最も電界の高くなる電極間に形成され、チャンネル部で電子は抵抗体薄膜層内部の金属あるいは半導体微粒子間をトンネル効果により移動する。したがって、対向電極の先端部を先鋭にするなどの加工を施せば、チャンネル部の幅が細くなり、電子ビームリソグラフィ技術などを用いなくともクーロンブロック効果を利用した単一電子トンネル素子可以实现できる。

【0037】また、抵抗体薄膜層の上面および下面の一部が抵抗体薄膜を挟むように薄膜電極を設けた構成によれば、抵抗体薄膜層に形成されるチャンネル部分は、最も電界の高くなる挟まれた部分に形成され、チャンネル部で電子は抵抗体薄膜層内部の金属あるいは半導体微粒子間をトンネル効果により移動する。したがって、薄膜電極の先端部を先鋭にするなどの加工を施せば、挟まれた部分の面積が小さくなり、電子ビームリソグラフィ技術などを用いなくともクーロンブロック効果を利用した単一電子トンネル素子可以实现できる。

【0038】

【発明の実施の形態】以下に、本発明の実施の形態を説明する。

【0039】（実施例1）図1を参照しながら、本発明による単一電子トンネル素子の第1の実施例の断面を説明する。

【0040】本実施例の単一電子トンネル素子は、多重トンネル接合を含む多重トンネル接合層6と、多重トンネル接合層6に電圧を印加するためのソース電極2及びドレイン電極3と、絶縁膜7を介して多重トンネル接合層6に電界を形成するためのゲート電極1とを備えている。

【0041】多重トンネル接合層6は、多数の微粒子5が分散された電気絶縁性薄膜4から形成されている。ゲート電極1、ソース電極2、およびドレイン電極3は、金属、半導体などの導電性材料から形成される。微粒子5は、金属あるいは半導体材料から形成されている。好ましくは、熱的、化学的に安定な材料、とりわけ貴金属などから形成される。電気絶縁性薄膜4および絶縁膜7の材料は、酸化物、窒化物、有機材料など、トンネル電流の変化を検出できる程度に導電性が低い材料であればよい。

【0042】微粒子間距離は、電気絶縁性薄膜4内をトンネル電流が流れるように調整されることが重要であ

る。

【0043】クーロンブロック効果を観測するためには、1個の微粒子5に1個の電子が充電されるときに充電エネルギーが電子の熱エネルギーよりも大きくなる必要がある。図10は、微粒子の大きさと、微粒子に1個の電子が注入されたときの充電エネルギーに等価な温度との関係を示している。室温（300°K）で動作するメモリ素子を得るには、微粒子の大きさは50nm以下にする必要があることがわかる。

【0044】微粒子5の大きさは約1〜50nmの範囲内にすることが好ましい。電気絶縁性薄膜4に対する微粒子5の体積比を5〜70%とした場合に、比較的高温で動作する単一電子トンネル素子が得られた。

【0045】以下、図2に示すスパッタリング装置を用いて本実施例の多重トンネル接合層6を形成する方法を説明する。

【0046】図2のスパッタリング装置のチャンバ内には、少なくとも2種類のスパッタターゲットがセットされている。この例では、スパッタターゲットとして、石英（SiO₂）ガラスターゲット8と金（Au）ターゲット9とが用いられる。

【0047】図1に示されるようにゲート電極1及び絶縁膜7が形成された基板10が、ヒーター11を備えた基板ホルダ12に固定される。基板ホルダ12に直結した回転軸によって基板10を、SiO₂ガラスターゲット8またはAuターゲット9のいずれかのターゲットの近くに移動させることができる。基板10の位置と各ターゲット上方での滞在時間とはコンピュータで制御されている。スパッタリング中の汚染を防ぐため、各ターゲット周囲、およびその延長上を覆う形のシールド板13が設けられている。

【0048】スパッタリングガスとしてアルゴンが好適に用いられる、スパッタリングガスは、ガス導入口14から流入させられ、ガス排出口15は真空排気系に接続される。ガス圧は例えば1.0Pa、基板温度は200℃に維持される。SiO₂ターゲット8への印加電力は例えば250W、Auターゲット9への印加電力は例えば10Wとする。

【0049】次に、多重トンネル接合層6の形成工程を説明する。

【0050】まず、基板10をAuターゲット9の上で20秒間滞在させてAu微粒子を基板10の絶縁膜7上に堆積させた。次に、基板10をSiO₂ターゲット8の上方に移動させ、SiO₂ターゲット8の上で5分間滞在させた。こうして、今度は、Au微粒子を覆うように厚さ0.1μmのSiO₂膜を堆積させた。Au微粒子が分散されたSiO₂膜を透過型電子顕微鏡（TEM）で断面観察したところ、Au微粒子の平均粒径は5nmであることがわかった。

【0051】このようにして形成した多重トンネル接合

層6をアイランド状にパターニングした後、多重トンネル接合層6を覆うように導電性薄膜（例えば厚さの50nmのクロム膜と厚さ0.1μmのAu膜と）を堆積する。堆積方法としては、例えば、真空蒸着法を用いる。この後、通常のフォトリソグラフィ及びエッチング技術により、ソース電極2およびドレイン電極3を形成すれば、図1に示されるような単一電子トンネル素子が得られる。ソース電極2およびドレイン電極3との間隔は1μmとした。

【0052】なお、本実施例では、ゲート電極1にはアルミニウム（Al）、絶縁膜7にはその酸化膜を用いた。

【0053】図3は、本実施例の単一電子トンネル素子に関して、ソース電極2とドレイン電極3との間に電圧（ドレイン電圧）を印加した場合の電圧-電流特性を示す。ソース電極2とドレイン電極3との間を流れる電流（ドレイン電流）は、ドレイン電圧（ソース電極2の電位に対するドレイン電極3の電位）の増加に伴って、階段状に増加することが観測された。これは、クーロンブロックエードの結果、すなわち電子が1個ずつトンネル接合を移動した結果であると考えられる。

【0054】図4は、ドレイン電流がゲート電極1に印加する電圧に依存してどのように変化するかを示している。ドレイン電流は、ゲート電圧によって周期的に変化し、ゲート電極を用いてドレイン電流を制御することが可能であった。

【0055】本実施例では、Auターゲットと絶縁物ターゲットをそれぞれ1回ずつスパッタすることによって多重トンネル接合層6を形成したが、例えば、基板10をAuターゲット上で5秒間、絶縁物ターゲット上で2秒間滞在させる操作を300回程度繰り返すことにより、粒径の揃ったAu微粒子を電気絶縁性薄膜4中に3次元的（層状に）に分散した多重トンネル接合6を形成しても良い。

【0056】また、基板10を2つのターゲット8、9の間の上に設置し、Auと絶縁物を同時にスパッタすることによっても、Au微粒子を電気絶縁性薄膜4中に3次元的に分散した多重トンネル接合層6を形成することができる。

【0057】なお、Auターゲットを、アルミニウム（Al）、珪素（Si）、リン（P）、硫黄（S）、クロム（Cr）、マンガン（Mn）、鉄（Fe）、コバルト（Co）、ニッケル（Ni）、銅（Cu）、亜鉛（Zn）、ガリウム（Ga）、ゲルマニウム（Ge）、ヒ素（As）、セレン（Se）、パラジウム（Pd）、銀（Ag）、カドミウム（Cd）、インジウム（In）、錫（Sn）、アンチモン（Sb）、テルル（Te）、白金（Pt）、金（Au）、または鉛（Pb）から選ばれた少なくとも1種の金属あるいは半導体のターゲットに代えて作製しても、粒径1〜50nmの金属あるいは半

導体の微粒子が均一に分散した多重トンネル接合が得られた。

【0058】また、本実施例においては電気絶縁性薄膜の材料としてSiO₂を用いた場合を示したが、窒化珪素（Si₃N₄）、酸化アルミニウム（Al₂O₃）、窒化アルミニウム（AlN）、酸化チタン（TiO₂）、酸化ハフニウム（HfO₂）を用いても、耐食性に優れた多重トンネル接合層を形成できた。この中で、特に酸化アルミニウム（Al₂O₃）は、緻密であるため、経時変化の少ない安定した特性を発揮するという効果を示した。

【0059】これらの電気絶縁性薄膜は、酸化物や窒化物をスパッタリングして作製できるが、珪素やアルミニウムなどの半導体材料や金属材料を酸素や窒素を含む雰囲気中でスパッタリングすることによっても作製することができた。

【0060】電気絶縁性薄膜として酸化物を用いた場合は、金属微粒子として金（Au）、銀（Ag）、銅（Cu）、白金（Pt）、あるいはパラジウム（Pd）から選ばれた少なくとも1種の金属を用いることにより、きわめて安定性に優れた素子を製造できた。この原因は、これらの金属と酸化物との界面が急峻でかつ安定であるためと考えられる。

【0061】これらの多重トンネル接合層6は、熱処理やスパッタリング中の基板温度を高くすることにより、素子の特性を向上することができた。熱処理により粒径が増大するとともに、粒径も揃い、微粒子の角がとれなめらかになった。なめらかな微粒子のほうが角張った微粒子よりも初期特性が優れていた。トンネル電流が微粒子表面の状態に影響を受けやすい。表面が滑らかな微粒子は安定した表面を持つため、安定したトンネル電流を流すからである。さらに、熱処理によって、微粒子結晶中の歪や欠陥が除去されるため、特性が向上したものと考えられる。

【0062】ただし、熱処理温度を高くしすぎると、微粒の粒径が増大しすぎる。図11は、金微粒子の直径が熱処理の温度に応じてどのように変化するかを示している。700℃を越えて熱処理温度を高くすると、粒径が急激な増大するので好ましくない、このため、熱処理温度は、700℃以下にすることが好ましい。

【0063】電気絶縁性薄膜として窒化物材料を用いた場合は熱処理による粒径の増大は僅かであったが、特性の安定化をはかることができた。この場合粒径はスパッタリング中の基板温度により制御できた。

【0064】スパッタリング中の基板温度を高くしたり（例えば200〜400℃にする）、熱処理を行なうことにより、微粒子の角がとれ、なめらかになった。なめらかな微粒子の方が角ばった微粒子よりも初期特性が優れていた。これはトンネル電流は微粒子表面の状態に影響を受け易いため、表面がなめらかな微粒子の方が、安

定したトンネル電流を流しやすいためと考えられる。

【0065】(実施例2)図5(a)及び(b)を参照しながら、本発明による単一電子トンネル素子の第2の実施例を説明する。

【0066】まず、上記第1の実施例について説明した方法と同様の方法によって、CdSe微粒子17が1層だけSiO₂膜18中に分散された多重トンネル接合層19を絶縁性基板16上に形成する。その後、電子線リソグラフィ及びエッチング技術を用いて多重トンネル接合層19をパターンニングし、線幅が0.1μmで長さ

が約1.5μmの細線(ストリップ)状に加工する。

【0067】この後、公知のメタライゼーション技術によって、ゲート電極20、ソース電極21、およびドレイン電極22を形成する。ゲート電極20と多重トンネル接合層19との間隔は0.1μmとした。また、ソース電極21とドレイン電極22との間隔は1μmとした。

【0068】図6は、多重トンネル接合層19内に分散されたCdSe微粒子17の面内分布を模式的に示している。電子がソース電極21からドレイン電極22に流れ得る経路は、多数存在する。ゲート電極20に電圧を印加すると、電子が流れ易い多重トンネル接合が形成される。ソース電極21とドレイン電極22との間に電圧を印加することで、もっとも電子の流れやすい部分にチャンネル23が形成される。チャンネル23の周辺には、この電流に直接寄与しない孤立した微粒子(ポテンシャルの島)24が存在する。

【0069】この素子において、ゲート電極に与える電圧を徐々に増加していくと、チャンネル23から孤立したポテンシャルの島24へ、電子が1個ずつトンネルすることが観測された。すなわち、孤立した島24に電子が1個が存在するかどうかで、情報を記録することが可能であった。

【0070】孤立した島24中に電子が存在する場合と、存在しない場合のゲート電圧-ドレイン電流特性を図12に示す。図12中で実線は、島24に電子が存在しない場合を示し、破線は島24に電子が存在する場合を示している。

【0071】このようにドレイン電流が変化するのは、図6に示すチャンネル23を流れる電子が島24に存在する電子のクーロン力により影響を受けるためである。島24に電子が存在するか否かで、ドレイン電流がピークを示すゲート電圧は数十ミリボルト〜数百ミリボルト変化する。例えば、島24に電子が存在しない状態において、ゲート電圧が0.1ボルトのときドレイン電流がピーク値を示すとする。電子のトンネリングによって島24に電子が存在する状態に変化した後は、ゲート電圧が0.1ボルトでもドレイン電流はほとんど流れない。従って、ドレイン電流を測定することにより、島24に電子が存在するか否かを検出することができる。こうし

て、本発明によれば、電子1個単位で記憶動作を行うことができる。

【0072】特性の安定した単一電子トンネル素子を得るためには、多重トンネル接合層19内においてチャンネル23の形成される位置が大きく変化しないようにすることが好ましい。このためには、図5(a)に示すように、多重トンネル接合層19の線幅を約0.1μm程度に細くすることが有効である。また、ソース電極21とドレイン電極22との間隔を狭くすると、多重トンネル接合層19の抵抗が小さくなり、ドレイン電流が増加するので好ましい。

【0073】次に、図7を参照しながら、単一電子トンネル素子の改良例を説明する。この例では、図5(a)及び(b)の素子と同様に、絶縁性基板25上に、金属あるいは半導体の微粒子を3次元的に絶縁性薄膜中に分散した細線状の多重トンネル接合層26を作製後、ソース電極27およびドレイン電極28を作製し、その表面に絶縁膜29を介してゲート電極30を作製した。

【0074】作製した素子では、上記素子と同様に、ゲート電極に電圧を印加することで、チャンネルと孤立した島が構成でき、メモリ機能を有する単一電子トンネル素子が作製できた。

【0075】(実施例3)図8(a)から(c)を参照しながら、本発明による単一電子トンネル素子の第3の実施例を説明する。図8(a)は平面図、図8(b)及び(c)は、断面図である。

【0076】本実施例の単一電子トンネル素子は、図8(b)及び(c)に示されるように、表面が熱酸化膜31で覆われたSi基板32の上に設けられている。熱酸化膜31上には、図8(a)に示されるように、シャープな先鋭部を一端に有するソース電極33及びドレイン電極34が、それらの先鋭部を対向させるように配置されている。電極33及び34の先鋭部の先端の間隔は、好ましくは約100nm〜1μmに設定される。この間隔が1μmを越えて大きくなると、抵抗値が大きくなりトンネル電流が流れにくくなる。本実施例のソース電極33及びドレイン電極34は、Au/Cr薄膜から形成されている。

【0077】SiO₂膜にAu微粒子が分散された抵抗体薄膜層(多重トンネル接合層)35が、上記電極33及び34を覆うように形成されている。図5(a)の実施例とは異なり、抵抗体薄膜層35は、ストリップ状にパターンニングされていない。抵抗体薄膜層35は、電気絶縁性薄膜であるSiO₂薄膜36によって覆われ、SiO₂薄膜36上にはゲート電極37が形成されている。ゲート電極37は、Au/Cr薄膜から形成され、ソース電極33及びドレイン電極34の少なくとも先鋭部の一部を覆うようにパターンニングされている。

【0078】このように本実施例によれば、一対の電極33及び34の先鋭部が対向するように配置されること

により、抵抗体薄膜層35内に形成する電界を局部的に強くすることができる。より具体的には、電極33及び34の尖った先端を結ぶ直線上に最も強い電界が形成される。このため、トンネル電流の流れるチャネル部は、電極33及び34の尖った先端を結ぶ直線に近い位置に常に形成されることになる。従って、図5(a)の実施例のように抵抗体薄膜層35をストリップ状にパターンニングする必要はない。このため、電子線リソグラフィ工程が必要なくなる。

【0079】ソース電極33およびドレイン電極34は、真空蒸着法によって、厚さ10nmのCr薄膜と厚さ0.1μmのAu薄膜とをSi熱酸化膜31上に堆積した後、これらの導電性薄膜をフォトリソグラフィ及びエッチング技術でパターンニングすることによって形成され得る。

【0080】また、抵抗体薄膜層35は、図2に示すスパッタリング装置を用いて、前述の方法と同様の方法で形成した。このようにして形成した抵抗体薄膜層35の表面に0.1μmのSiO₂薄膜36を形成し、さらに厚さ0.1μmのゲート電極37をCrとAuの真空蒸着とフォトリソグラフィにより形成することにより単一電子トンネル素子を完成した。

【0081】この単一電子トンネル素子のソース電極33とドレイン電極34間に電圧(ドレイン電圧)を印加すると、ドレイン電流は、ドレイン電圧の増加に伴って、階段状に増加することが観測された。これは、クーロンブロックの結果すなわち電子が1個ずつトンネル接合を移動した結果であると考えられる。さらに、ゲート電極に電圧を印加した時のドレイン電流を測定した結果を図4に示す。ドレイン電流は、ゲート電圧によって周期的に変化し、ゲート電極を用いてドレイン電流を制御することが可能であった。

【0082】さらに、作製された単一電子トンネル素子では、抵抗体薄膜層中にAu微粒子がその面内で2次元的に分散されているために、電子がソース電極3からドレイン電極34に流れるチャネル周辺には孤立した島が残る構造となる(つまり、金属微粒子のうちのチャネル部でなく、かつチャネル部の近傍に存在する金属微粒子が孤立した島となる)。この素子において、ゲート電極電圧を徐々に増加していくと、上記のチャネルから孤立した島へ、電子が1個ずつトンネルすることが観測された。すなわち、孤立した島中に電子1個が存在するかどうかで、情報を記録することが可能となり、メモリへの応用が可能である。

【0083】本実施例では、ソース電極33、ドレイン電極34、およびゲート電極37は、Au/Cr薄膜を用いたが、金属、半導体など用途に応じて各種導電性材料を用いることができる。但し上記のようにCrを用いた場合、Auとの密着性に優れ有効である。例えば、本実施例で用いたSi基板32として、低抵抗Siを用

い、これをゲート電極として利用すれば、シンプルな素子構成となり、作製も容易であった。

【0084】さらに先鋭部38をフォトリソグラフィ技術で形成する場合、Au薄膜を王水等の等方性エッチング液を用いて、オーバーエッチングを施すことにより、形成したレジスト薄膜よりも先端の曲率を小さくすることができる。

【0085】さらに、本実施例では、ソース電極33とドレイン電極34の上面に抵抗体薄膜層35を形成したが、図8(c)に示すような抵抗体薄膜層をSi熱酸化膜31上に形成後、その上面にソース電極33とドレイン電極34を作製しても同様の効果が得られた。但し、図8(b)に記載の構造の方が、Au微粒子を分散したSiO₂薄膜(抵抗体薄膜層35)上に連続的にSiO₂薄膜を形成するため、スパッタのターゲットを連続して用いることができるため、効率的である。

【0086】また、抵抗体薄膜層は、Auターゲットと絶縁物ターゲットをそれぞれ1回づつスパッタすることにより製造したが、基板32をAuターゲット上と、絶縁物ターゲット上に交互に滞在させる操作を繰り返すことにより、粒径の揃ったAu微粒子を電気絶縁性物質中に分散させることができた。また、基板32を2つのターゲット9、10の間上方に設置し、Auと絶縁物を同時にスパッタすることによってもAu微粒子を電気絶縁性物質中に分散した抵抗体薄膜層を作製することができた。

【0087】さらに、抵抗体薄膜層は、電気絶縁性物質中に金属あるいは半導体の微粒子が分散された構成の材料であれば良い。とりわけ、微粒子としては熱的、化学的に安定な材料である貴金属などを用いることが望ましい。というのは、熱的や化学的に安定な元素を用いた場合に素子の経時劣化を少なくすることができるからである。また微粒子の大きさは50nm以下とするのが、作製上および微粒子間距離をnmのレベルで比較的均一にする上で望ましいが、基本的には微粒子間距離をトンネル電流が流れる大きさにすることが重要である。実際にトンネル電流が流れる抵抗体薄膜層35中の電気絶縁性物質に対する微粒子の割合は、体積比で5~70%の領域で比較的高温で動作する単一電子トンネル素子が得られた。もし、体積比が5%以下になるとトンネル電流が流れず、一方体積比が70%を超えると、隣接する金属微粒子がひっきり、島が大きくなり室温ではトンネル素子として用いることができなくなる。従って金属微粒子間の間隔は5nm以下であることが望ましい。

【0088】また、電気絶縁性物質および電気絶縁性薄膜36の材料は酸化物、窒化物、有機材料など、トンネル電流の変化を検出できる程度に導電性が低い材料であればよい。

【0089】なお、Auターゲットを、アルミニウム(A1)、珪素(Si)、リン(P)、硫黄(S)、ク

ロム (Cr)、マンガン (Mn)、鉄 (Fe)、コバルト (Co)、ニッケル (Ni)、銅 (Cu)、亜鉛 (Zn)、ガリウム (Ga)、ゲルマニウム (Ge)、ヒ素 (As)、セレン (Se)、パラジウム (Pd)、銀 (Ag)、カドミウム (Cd)、インジウム (In)、錫 (Sn)、アンチモン (Sb)、テルル (Te)、白金 (Pt)、金 (Au)、または鉛 (Pb) から選ばれた少なくとも1種の金属あるいは半導体のターゲットに代えて作製しても、粒径1~50nmの金属あるいは半導体の微粒子が均一に分散した多重トンネル接合が得られた。

【0090】また、本実施例においては電気絶縁性物質としてSiO₂を用いた場合を示したが、窒化珪素 (Si₃N₄)、酸化アルミニウム (Al₂O₃)、窒化アルミニウム (AlN)、酸化チタン (TiO₂)、酸化ハフニウム (HfO₂) を用いても耐食性に優れた抵抗体薄膜層35を製造できた。これらの電気絶縁性物質は、酸化物や窒化物をスパッタリングして作製できるが、珪素やアルミニウムなどの半導体材料や金属材料を酸素や窒素を含む雰囲気中でスパッタリングすることによっても作製することができた。

【0091】さらに、単一電子トンネル素子は、熱処理を行なうことにより特性を向上することができた。この熱処理は用いた金属あるいは半導体材料の融点の5分の1から5分の3の間の温度で行なうのが適切であった。熱処理により粒径が増大するとともに、粒径も揃い、微粒子結晶中の歪や欠陥が除去されるため、特性が向上したものと考えられる。電気絶縁性物質として窒化物材料を用いた場合は熱処理による粒径の増大は僅かであったが、特性の安定化をはかることができた。この場合粒径はスパッタリング中の基板温度により制御できた。

【0092】スパッタリング中の基板温度を高くしたり、熱処理を行なう (ゲート電極37を形成する前に行う) ことにより微粒子の角がとれ、なめらかになったが、なめらかな微粒子の方が角ばった微粒子よりも初期特性が優れていた。これはトンネル電流は微粒子表面の状態に影響を受け易いため、表面がなめらかな微粒子の方が安定した表面となり、安定したトンネル電流が流れたためと考えられる。

【0093】(実施例4) 上記の第3の実施例における単一電子トンネル素子と同じ動作原理を持った本発明の第4の実施例における単一電子トンネル素子の構成図を図9に示す。図9(b)は、図9(a)におけるA-A断面図であり、図9(c)は、図9(a)におけるB-B断面図である。

【0094】本実施例の単一電子トンネル素子は、表面を熱酸化膜39で覆ったSi基板40上に、先鋭部を有するAu/Cr薄膜電極(ソース電極41)および表面をSiO₂薄膜42で覆ったAu/Cr薄膜電極(ゲート電極43)を形成し、その表面にSiO₂中にAu微

粒子が分散された抵抗体薄膜層44が形成され、さらにその表面に先鋭部を有するAu/Cr薄膜電極(ドレイン電極45)が形成された構成であり、抵抗体薄膜層44は、ソース電極41とドレイン電極45の先鋭部で挟まれた構成となっている。

【0095】ソース電極41およびゲート電極43は、Si熱酸化膜39上に、厚さ10nmのCr薄膜を真空蒸着後、厚さ0.1μmのAu薄膜を真空蒸着し、フォトリソグラフィにより作製し、ゲート電極43の表面は厚さ0.1μmのSiO₂薄膜42で覆った。

【0096】抵抗体薄膜層44は、上記の第1の実施例と同じ装置を用いて、AuとSiO₂を交互に10回程度繰り返すことにより、粒径の揃ったAu微粒子をSiO₂中に3次的に分散させて作製し、厚さ50nmとした。

【0097】作製した抵抗体薄膜層44の表面に厚さ0.1μmのドレイン電極45をCrとAuの真空蒸着とフォトリソグラフィにより形成することにより単一電子トンネル素子を完成した。抵抗体薄膜層44がソース電極41とドレイン電極45で挟まれた部分の面積は、約0.01平方μmであった。但し、この面積は1平方μm以下であることが望ましく、これ以上大きくなると、チャネル部が広くなりすぎてしまい、制御性が悪くなる。

【0098】作製した素子では、上記素子と同様に、ゲート電極に電圧を印加することで、図9(d)に示されるように、チャネル23と孤立した島24が構成でき、メモリ機能を有する単一電子トンネル素子が作製できた。この図からわかるように、抵抗体薄膜44を厚くすると、抵抗が増加し、ドレイン電流が低下する。抵抗体薄膜44の厚さは、約10nm~1μmの範囲内に設定することが好ましい。

【0099】

【発明の効果】以上説明したように、本発明に係る構成の単一電子トンネル素子によれば、金属あるいは半導体の微粒子を均一に1nm程度のギャップで電気絶縁性薄膜中に分散した多重トンネル接合が得られ、その特性を制御できる単一電子トンネル素子が得られる。また耐食性に優れた電気絶縁性薄膜を用いることができるため、信頼性、長期安定性に優れた単一電子トンネル素子を提供することができる。この単一電子トンネル素子は、電極構成を変えることで、トランジスタやメモリとして機能し、アナログ回路あるいはデジタル回路に応用することができる。

【0100】また、本発明の単一電子トンネル素子の製造方法によれば、金属あるいは半導体の種類、微粒子の大きさ、密度、微粒子間距離などを制御し易く、特性の優れた単一電子トンネル素子を再現性良く製造することができる。

【0101】また、本発明の単一電子トンネル素子によ

れば、特殊な微細加工技術を用いなくとも、金属あるいは半導体の微粒子を均一に1nm程度のギャップで電気絶縁性物質中に分散した多重トンネル接合が得られ、その特性を制御できる単一電子トンネル素子が得られる。また耐食性に優れた電気絶縁性薄膜を用いることができるため、信頼性、長期安定性に優れた単一電子トンネル素子を提供することができる。

【0102】これらの単一電子トンネル素子は、電極構成を変えることで、トランジスタやメモリとして機能し、アナログ回路あるいはデジタル回路に応用することができる。また、金属あるいは半導体の種類、微粒子の大きさ、密度、微粒子間距離などを制御し易く、特性の優れた単一電子トンネル素子を再現性良く製造することができる。

【図面の簡単な説明】

【図1】本発明の単一電子トンネル素子の実施例の断面図

【図2】本発明の単一電子トンネル素子を製造するためのスパッタ装置の断面概略図

【図3】本発明の単一電子トンネル素子の実施例におけるドレイン電圧ードレイン電流特性を示す図

【図4】本発明の単一電子トンネル素子の実施例におけるゲート電圧ードレイン電流特性を示す図

【図5】(a)は、本発明の単一電子トンネル素子の他の実施例の平面図、(b)は、その断面概略図

【図6】本発明の単一電子トンネル素子の細線状の多重トンネル接合を示す断面図

【図7】本発明の単一電子トンネル素子の改良例を示す断面図

【図8】(a)は、本発明の単一電子トンネル素子の更に他の実施例の平面図、(b)は、ソース電極33およびドレイン電極34に沿った断面図、(c)は、他の例の断面図

【図9】(a)は、本発明の単一電子トンネル素子の更に他の実施例の平面図、(b)は、そのA-A線に沿った断面図、(c)は、そのB-B線に沿った断面図、(d)は、縦方向に形成されたチャネルを示す断面図

【図10】微粒子の直径と等価温度との関係を示すグラ

フ

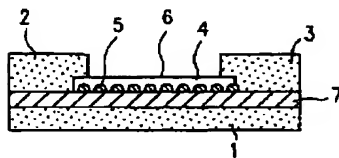
【図11】熱処理温度と微粒子の直径との関係を示すグラフ

【図12】孤立した微粒子の島に電子が存在するか否かによってゲート電圧ードレイン電流特性が変化することを示す図

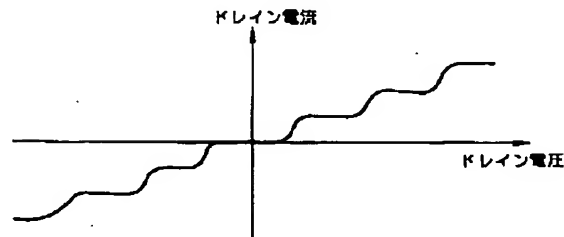
【符号の説明】

- 1 ゲート電極
- 2 ソース電極
- 3 ドレイン電極
- 4 電気絶縁性薄膜
- 5 微粒子
- 6 多重トンネル接合
- 7 絶縁膜
- 8 石英ガラスターゲット
- 9 金ターゲット
- 10 基板
- 11 ヒーター
- 12 基板ホルダ
- 13 シールド板
- 14 ガス導入口
- 15 ガス排出口
- 16 絶縁性基板
- 17 CdSe微粒子
- 18 SiO₂
- 19 多重トンネル接合
- 20 ゲート電極
- 21 ソース電極
- 22 ドレイン電極
- 23 チャンネル
- 24 孤立した島
- 25 絶縁性基板
- 26 多重トンネル接合
- 27 ソース電極
- 28 ドレイン電極
- 29 絶縁膜
- 30 ゲート電極

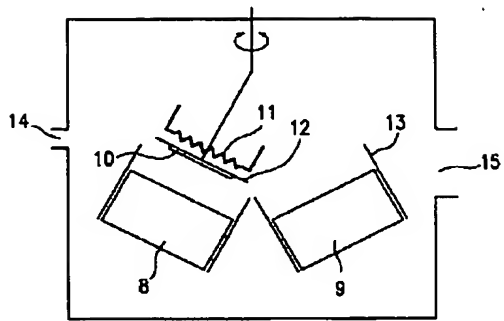
【図1】



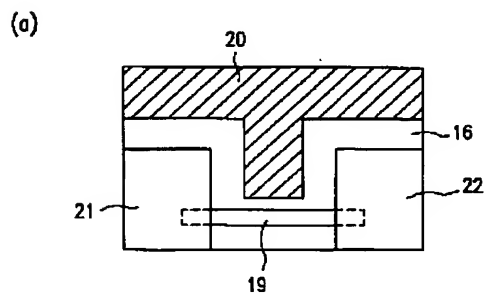
【図3】



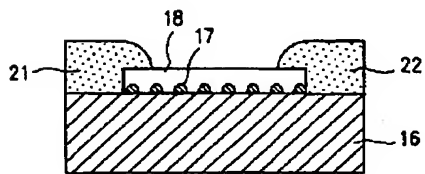
【図 2】



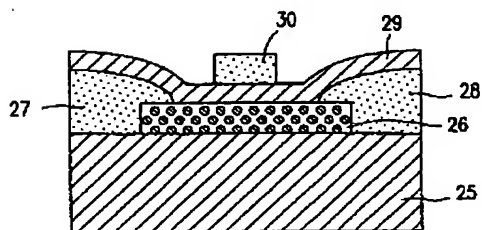
【図 5】



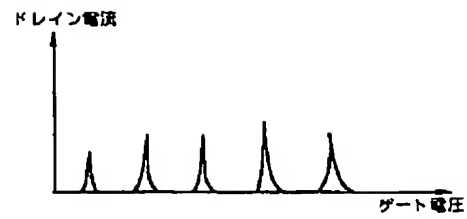
(b)



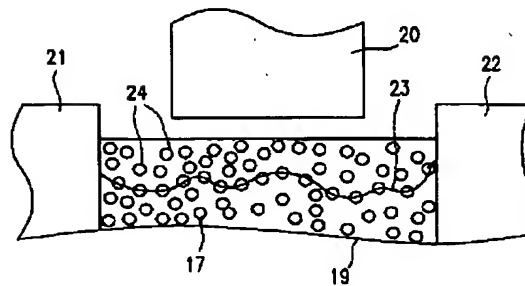
【図 7】



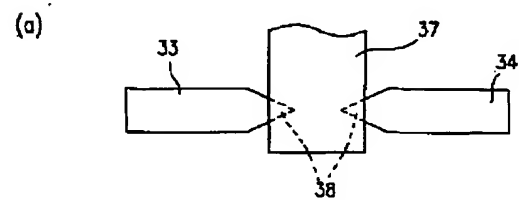
【図 4】



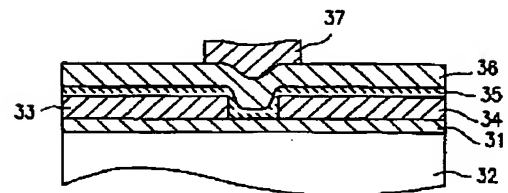
【図 6】



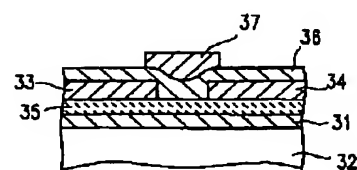
【図 8】



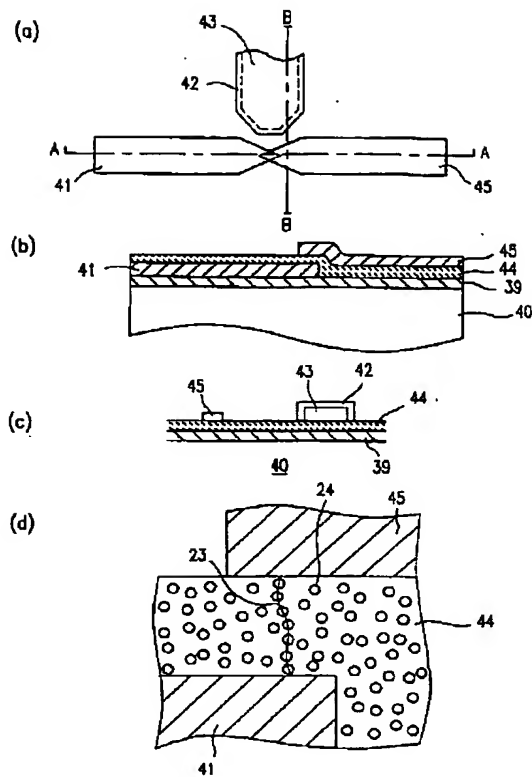
(b)



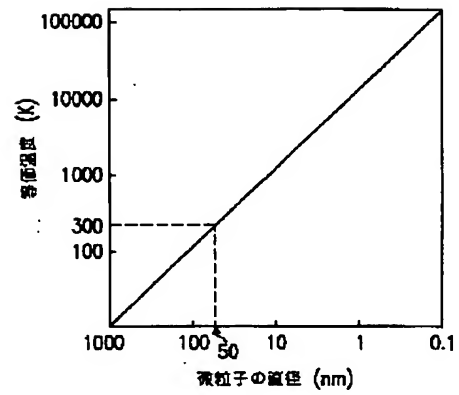
(c)



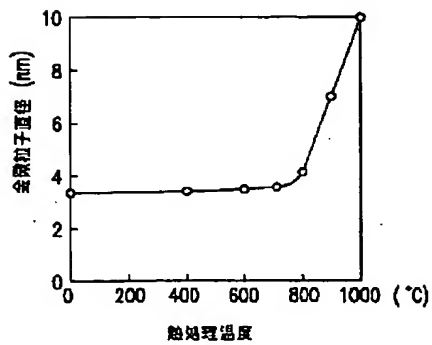
【図9】



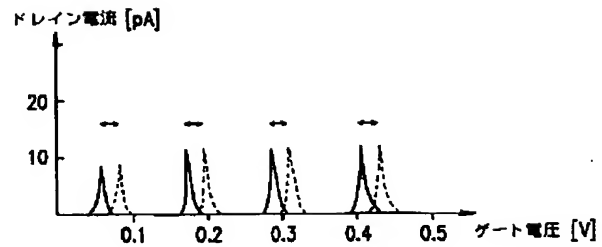
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.⁶

H01L 29/792

29/80

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 真鍋 由雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内